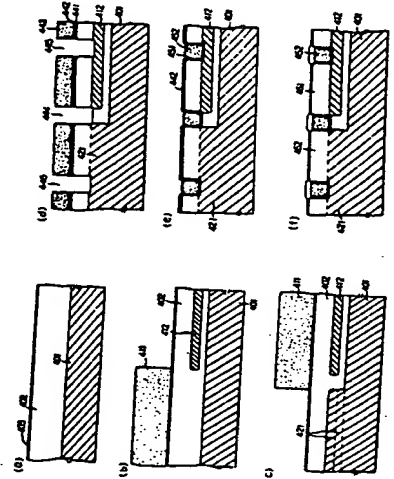


## (54) IC DEVICE

- (11) 61-3449 (A) (43) 9.1.1986 (19) JP  
 (21) Appl. No. 59-123233 (22) 15.6.1984  
 (71) NIPPON DENKI K.K. (72) YUKINORI KUROKI  
 (51) Int. Cl. H01L27/08, H01L21/76

**PURPOSE:** To improve the latch-up resistance by a method wherein the lower parts of transistors in well isolated by deep grooves are combined with low-resistant impurity layer.

**CONSTITUTION:** An N type high-resistant layer 402 is epitaxially grown on an N type low-resistant substrate 401, thus growing a thin thermal oxide film 403. Further, a mask 411 for formation of a P type impurity layer 412 is formed, and an impurity is ion-implanted. Successively, the N type impurity layer 421 is formed by using the mask 411. Thereafter, the mask material and the oxide thin film are removed, and an oxide film 441 is formed after annealing and impurity activation. A nitride film 442 is deposited and the oxide film 441 and nitride film 422 are etched by using a resist 443 as a mask, then, the substrate 401 is etched up to the top of the high concentration impurity layers 412 and 421. Besides, the etching damaged layer on the surface of a hole is removed, and polycrystalline Si 452 is buried in an aperture after an oxide film 451 is grown. When oxidation is carried out by using the nitride film 442 as a mask, the state that a P-well 461 or an N-well 462 are connected with low-resistant impurity layers 412 and 421.

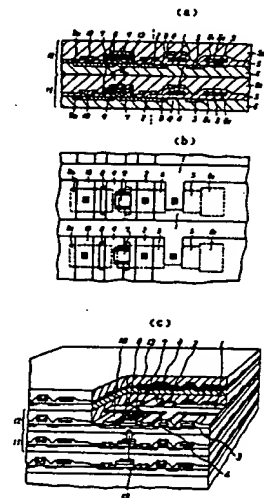


## (54) SHARED MEMORY INTEGRATED DEVICE OF THREE-DIMENSIONAL PHOTO COUPLING

- (11) 61-3450 (A) (43) 9.1.1986 (19) JP  
 (21) Appl. No. 59-123918 (22) 18.6.1984  
 (71) HIROSHIMA DAIGAKU (72) ZENKOU HIROSE(6)  
 (51) Int. Cl. H01L27/10, G06F13/18, G11C7/00, G11C11/34, H01L31/12

**PURPOSE:** To speed up signal transmission by a method wherein layers are optically coupled with one another by combination of light emitting elements with light receiving elements.

**CONSTITUTION:** A 1-MOS dynamic memory cell is formed in the surface of an Si semiconductor layer 6, and a light receiving element 8 connected by half superposition on the drain region D of an MOS transistor 4 is formed in the surface of the semiconductor layer 6, and a light emitting element 7 and a data transfer line 9 are adhered by successive lamination by half superposition on the light receiving element 8. A conductive region D<sub>a</sub> is formed in the neighborhood of the surface of the semiconductor layer 6 by half superposition on the element 8, and a data copy line 10 connected to the conductive region D<sub>a</sub> by passing through an SiO<sub>2</sub> insulation layer 5 is formed by adhesion on the insulation layer 5. Further, the whole surface of the insulation layer 5 is coated with an SiO<sub>2</sub> insulation layer 5<sub>a</sub>. When memory cells of such a construction are arranged on each layer in two dimensions, and each of two-dimensional memory integrated layers is laminated by making each layer agree above and below in position of groups 7-9 of light emitting and light receiving elements, the ground 7-9 come into optical coupling with one another via the SiO<sub>2</sub> insulation layer 5<sub>a</sub> are semiconductor layer 6.

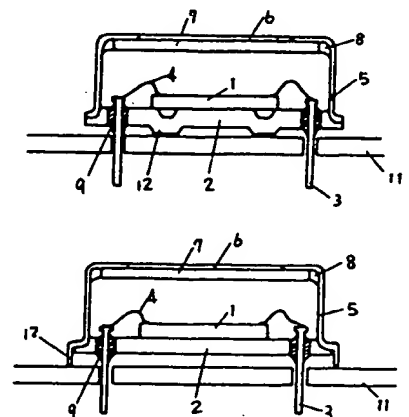


## (54) SOLID-STATE IMAGE PICKUP ELEMENT

- (11) 61-3451 (A) (43) 9.1.1986 (19) JP  
 (21) Appl. No. 59-123415 (22) 15.6.1984  
 (71) SUWA SEIKOSHA K.K. (72) EIJI KARAKI(2)  
 (51) Int. Cl. H01L27/14, H01L23/12

**PURPOSE:** To obtain the title element easy of substrate mounting by a method wherein the bottom of a stem or a sealing case is provided with a projection higher than the glass creep level of a lead terminal.

**CONSTITUTION:** The bottom of a stem 2 is provided with a projection 12. The projection is formed at the same time with the stem 2 formed by press. The tip of the projection 12 is formed higher than the level of the glass creep of a lead terminal 3 and is formed at a fixed level. Otherwise, the sealing case 5 is provided with the projection 12. This projection 12 is formed at the same time with the sealing case 5. This construction enables substrate mounting while the parallelism between the substrate and the solid-state image pickup element chip is kept without the influence of the variability in glass creep level.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-3450

⑬ Int. Cl.<sup>4</sup>

H 01 L 27/10  
G 06 F 13/18  
G 11 C 7/00

識別記号

庁内整理番号

6655-5F  
7165-5B  
6549-5B※

⑭ 公開 昭和61年(1986)1月9日

審査請求 有 発明の数 1 (全7頁)

⑮ 発明の名称 三次元光結合共有メモリ集積装置

⑯ 特 願 昭59-123918

⑰ 出 願 昭59(1984)6月18日

⑱ 発 明 者 広 瀬 全 孝 広島市中区白島中町6-4-401  
⑱ 発 明 者 山 西 正 道 広島市東区牛田新町3-41-9  
⑱ 発 明 者 大 坂 之 雄 東広島市西条町大字田口365 広島大学ががら第一職員宿  
舎3-303  
⑱ 発 明 者 阿 江 忠 広島市東区牛田東2-19-22 コープノムラウシタ105  
⑱ 発 明 者 市 川 忠 男 広島市中区国泰寺町1-9-27-404  
⑱ 発 明 者 吉 田 典 可 広島市西区己斐大迫2-10-13  
⑲ 出 願 人 広 島 大 学 長  
⑳ 代 理 人 弁理士 杉村 暁秀 外1名

最終頁に続く

明 細 書

1. 発明の名称 三次元光結合共有メモリ集積装置

2. 特許請求の範囲

1. それぞれメモリ用コンデンサおよびそのコンデンサをオン・オフするスイッチ用トランジスタよりなる複数のメモリセルとそれらのメモリセルを制御するアドレス線並びにそれらのメモリセルにデータの書き込みおよび読出しを行なうデータ線とを半導体基層の表面に二次元的に集積した複数の集積メモリ層を絶縁層をそれぞれ介して積層し、前記メモリセルに発光素子と受光部および光スイッチ部を兼ねる受光素子とを組合わせて前記集積メモリ層の相互間に光結合を施すとともに、その光結合によりオンした前記光スイッチ部を介して前記トランジスタをオンさせるバイアス線を設けることにより、互いに隣接する前記集積メモリ層のうち、一方の前記集積メモリ層の前記メモリセルに書き込んだデータを

前記光結合により他方の前記集積メモリ層の前記メモリセルにコピーし得るように構成したことを特徴とする三次元光結合共有メモリ集積装置。

8. 発明の詳細な説明

(技術分野)

本発明は、メモリ用コンデンサおよびそのコンデンサをオン・オフするスイッチ用トランジスタよりなるメモリセルを三次元的に積層して集積した三次元メモリ集積装置、特に、隣接層のメモリセル間を光学的に結合させてメモリ内容をコピーして共有し得るようにした三次元光結合共有メモリ集積装置に関し、簡単な構成の結合路によりメモリセル間の時間遅延を低減して高速化し得るようにしたものである。

(従来技術)

一般に、図形処理や音声認識等のパターン認識に基づく情報処理に際しては、複数種類の標準パターンと処理対象の情報パターンとのパターン照合を反復して行なうなど、数多の演算処理を並列

に行なつて情報処理を高速化することが要求されている。かかる並列演算処理を高速化するためには、多数のプロセッサを並列に動作させるとともに、各プロセッサ内のメモリ内容を相互に結合させて類似の情報処理を同時に進行させるための共有メモリ装置が必要となる。

#### (問題点)

しかしながら、従来のように集積すべき回路素子を単に二次元的に配置するに過ぎないLSI技術によつては、かかる二次元的集積回路における回路素子間の結合用配線による信号伝送の時間遅延が大きく、したがつて、回路構成が複雑になるほど、その時間遅延が増大するので、上述のような並列動作による情報処理の高速化を実現するうえで、大きい障害になるという欠点があつた。

#### (発明の目的)

本発明の目的は、上述した従来の欠点を除去し、冒頭に述べた種類の三次元メモリ集積装置において積層した2次元集積回路の層間を立体的に結合させて、従来の二次元集積回路における回路素子

間の信号伝送の時間遅延を避け、層間における短絡的な回路素子間結合により、前述した並列情報処理に必要な信号伝送の高速化を容易にした三次元共有メモリ集積装置を提供することにある。

本発明の他の目的は、上述した層間における短絡的な回路素子間結合を、対応する層に発光素子と受光素子とを対向配置すれば、現実に層間に配線を施す必要のない光結合を用いた三次元光結合共有メモリ集積装置を提供することにある。

#### (発明の要点)

すなわち、本発明三次元光結合共有メモリ集積装置は、それぞれメモリ用コンデンサおよびそのコンデンサをオン・オフするスイッチ用トランジスタよりなる複数のメモリセルとそれらのメモリセルを制御するアドレス線並びにそれらのメモリセルにデータの書き込みおよび読出しを行なうデータ線とを半導体基層の表面に二次元的に集積した複数の集積メモリ層を絶縁層をそれぞれ介して積層し、前記メモリセルに発光素子と受光部および光スイッチ部を兼ねる受光素子とを組合わせ

て前記集積メモリ層の相互間に光結合を施すとともに、その光結合によりオンした前記光スイッチ部を介して前記トランジスタをオンさせるバイアス線を設けることにより、互いに隣接する前記集積メモリ層のうち、一方の前記集積メモリ層の前記メモリセルに書き込んだデータを前記光結合により他方の前記集積メモリ層の前記メモリセルにコピーし得るように構成したことを特徴とするものである。

#### (発明の構成)

以下に図面を参照して本発明を詳細に説明する。

しかして、本発明三次元光結合共有メモリ集積装置の基本的構成の例を第1図(a)~(c)に示して説明するに先立ち、本発明装置の基本的構成の基礎をなす冒頭に述べた種類のメモリセルの従来構成を第2図に示す。

図示の構成によるメモリセルは、いわゆる1MOSダイナミック型メモリセルであり、基板をなすシリコン半導体層6の上面近傍に不純物をドープしてドレイン領域Dおよびソース領域Sを形

成するとともに、シリコン半導体層6の上面に酸化硅素( $\text{SiO}_2$ )絶縁層を被着形成し、その $\text{SiO}_2$ 絶縁層5を介し、ドレイン領域Dとソース領域Sとを橋結する位置にゲート電極層Gを形成してMOS型電界効果トランジスタ4を構成し、つぎに述べるメモリ用コンデンサをオン・オフするスイッチとして作用させる。すなわち、MOSトランジスタ4のソース領域Sに接続した導電層 $E_1$ とその導電層 $E_1$ と $\text{SiO}_2$ 絶縁層5を介して近接対向する接地導電層 $E_2$ とを形成して、それらの導電層 $E_1$ 、 $E_2$ を両電極とするメモリ用コンデンサ8を構成し、MOSスイッチ4により書き込み読出しを制御する。さらに、 $\text{SiO}_2$ 絶縁層5をそれぞれ貫通してMOSトランジスタ4のゲート電極層Gおよびドレイン領域Dにそれぞれ接続したアドレス線1およびデータ線2を $\text{SiO}_2$ 絶縁層5上に被着形成してある。

上述のように構成した第2図示の1MOSダイナミック型メモリセルはつぎのように動作する。

まず、アドレス線1に電圧を印加してMOSトランジスタ4よりなる書き込み読出しスイッチをオン

状態にしておき、データ線 8 からその書き込み読出しスイッチ 4 を介してデータをメモリ用コンデンサ 8 に供給し、そのデータを蓄積電荷の形態にして記憶させる。かかる記憶データをメモリ用コンデンサ 8 から読出すには、同じくアドレス線 1 に電圧を印加してオン状態にした MOS スイッチ 4 を介してメモリ用コンデンサ 8 から流出する電荷の形態のデータをデータ線 8 により取出す。従来慣用のメモリ集積装置においては、かかる構成の 1 MOS メモリセルをシリコン半導体基板の表面に二次元的に配置しており、したがって、同一基板上のメモリセル間を結合させる配線は、二次元配置したメモリセルの間を縫って配置するので、長大とならざるを得ず、信号伝送に時間遅延が生ずるのは止むを得なかつた。

かかる 1 MOS ダイナミック型メモリセルの構成を基礎にして複数の二次元メモリ集積回路を三次元的に積層した形態をなす本発明三次元光結合共有メモリ集積装置の基本的構成について、その側断面図を第 1 図 (a) に示し、上面図を第 1 図 (b) に示

をシリコン半導体層 6 の表面近傍に形成し、 $\text{SiO}_2$  絶縁層 5 を貫通して導電領域  $D_a$  に接続するデータコピー線 10 を  $\text{SiO}_2$  絶縁層 5 上に被着形成し、さらに、 $\text{SiO}_2$  絶縁層 5 の全面を覆つて他の  $\text{SiO}_2$  絶縁層  $5_a$  を被着してある。

かかる構成のメモリセルを各層上に、第 1 図 (b) に示すように、二次元配置するとともに、各層のメモリセルにおける発光・受光素子群 7, 8, 9 の位置を上下に正確に一致させて各二次元メモリ集積層を積層すると、各層の発光・受光素子群 7, 8, 9 は、透明とする  $\text{SiO}_2$  絶縁層  $5_a$  およびシリコン半導体層 6 を介し、例えば第 (i-1) 層 11 の発光素子 7 から発する光 18 を第 1 層 12 の受光素子 8 が受けることにより、光学的に結合する。したがって、上下層 11, 12 のメモリセルは、最短距離をもつて相互に結合し、迅速に信号伝達を行ない得ることになる。

なお、上述の構成に用いる発光素子 7 は、例えば、p-n 接合を有する  $\text{GaAs}$  層によつて構成し、また、受光素子 8 は、例えばゲルマニウム層によ

し、一部を破断した斜視図を第 1 図 (c) に示す。

第 1 図 (a) を第 2 図と対比すれば明らかとなり、本発明共有メモリ集積装置において三次元的に積層した各二次元メモリ集積層のメモリセルは、前述した 1 MOS ダイナミック型メモリセルの構成に本発明の目的達成に必要な変更を施したものであり、第 1 図 (a) ~ (c) における第 2 図と同一の構成要素には同一の記号を付して示してある。しかし、第 2 図示の従来構成に本発明により施した変更はつぎのとおりである。

すなわち、順次に積層して本発明共有メモリ集積装置をなす各二次元メモリ集積層においては、シリコン半導体層 6 の表面に第 2 図と全く同様に 1 MOS ダイナミック型メモリセルを形成するとともに、MOS トランジスタ 4 のドレイン領域 D に半ば重畳して接続した受光素子 8 をシリコン半導体層 6 の表面に形成し、その受光素子 8 に重畳して発光素子 7 およびデータ転送線 9 を順次に積層被着してある。また、受光素子 8 に半ば重畳して、ドレイン領域 D と同様にドーピングした導電領域  $D_a$

つて構成し、例えば、下層の第 (i-1) 層 11 の発光素子 7 における p-n 接合にデータ転送線 9 によつて印加した順バイアス電圧に応じて発生した光 18 を上層の第 1 層 12 の受光素子 8 が受けてその受光素子 8 内に電子・正孔対を生成し、光伝導型の光スイッチ素子として機能する。

なお、下層の第 (i-1) 層 11 の発光素子 7 を発光させて上層の第 1 層 12 の受光素子 8 により受光する場合に、その間に介在する  $\text{SiO}_2$  絶縁層  $5_a$  は透明で光 18 をほとんど吸収しないが、シリコン半導体層 6 は、本来不透明な材料よりなつてるので光 18 を吸収する。しかし、光 18 の吸収の比率はわずかであり、シリコン半導体層 6 の厚さを  $1 \mu\text{m}$  すなわち  $10^{-6} \text{cm}$  としたときにこのシリコン半導体層 6 を通過する光 18 の吸収は 6% 程度に過ぎず、実際にはほとんど支障を生じない。

一方、受光素子 8 を構成するゲルマニウム層は、その層厚を  $0.4 \mu\text{m}$  すなわち  $4 \times 10^{-6} \text{cm}$  としたときに入射光の 70% を吸収し、高効率の受光が可能である。

なお、上述した各素子は、いずれも、適切なパターンニングのもとに分子線エビタクション法によつて形成することができる。

第1図示の構成による本発明三次元光結合共有メモリ集積装置の記憶動作、特に、記憶内容コピーの動作はつぎのようにして行なわれる。

すなわち、例えば、第 $(i-1)$ 層11のメモリ用コンデンサ8に選択的にデータを書き込む際には、第3図示の従来の1MOSダイナミック型メモリセルにおけると同様に動作させ、アドレス線1に電圧を印加してMOSスイッチ4をオン状態にして、データ線3からメモリ用コンデンサ8にデータを書き込む。第 $(i-1)$ 層11におけるかかるデータ書き込みの際に、メモリ内容の同一データを同時に第1層13のメモリ用コンデンサ8にもコピーして書き込むには、前述した層間の光結合を用いる。すなわち、上述した第 $(i-1)$ 層11のメモリ用コンデンサ8へのデータ書き込みと同時に、その層11のデータ転送線9にも電圧を印加して、発光素子7に重畳した受光素子に接するドレイン領域

Dに接続したデータ線2にデータ符号電圧が印加されたときに、上下の印加電圧に挟まれた発光素子7が発光するようにしておくとともに、メモリ内容のコピーを行なうべき層、例えば直上の第1層12においても、アドレス線1に電圧を印加してMOSスイッチ4をオン状態にしておくとともに、データコピー線10にも電圧を印加しておく。

かかる状態において、第 $(i-1)$ 層11のデータ線2にデータ信号電圧が印加されると、上述したようにしてその層11のメモリ用コンデンサ8にデータが書き込まれると同時に、データ線2の信号電圧印加の都度、発光素子7が発光し、その光13を受光した第1層12の受光素子8が兼ねる光伝導型光スイッチがその都度オン状態となる。しかして、その光伝導型光スイッチ8を介して接続されるべき導電領域 $D_a$ に接続したデータコピー線10には電圧が印加されているので、光スイッチ8がオン状態となる都度、データコピー線10の印加電圧が導電領域 $D_a$ および光スイッチ8を介してドレイン領域Dに印加され、そのドレイン領域

Dに接続したデータ線2にデータ信号電圧が印加されたのと同じ状態となり、アドレス線1への電圧印加によりオン状態となつているMOSスイッチ4を介して、第 $(i-1)$ 層11のデータ線2により印加されたデータ信号電圧どおりのデータが第1層12のメモリ用コンデンサ8にコピーして書き込まれることになる。

本発明3次元光結合共有メモリ集積装置における各層内においては、第3図に示すように各層毎に設けた演算処理装置(CPU)15の制御のもとに、各層毎のメモリ内容のデータを用いてそれぞれ所要の情報処理を行なうとともに、そのメモリ内容をコピーしたメモリ内容のデータを用いて例えば類似の情報処理を並列に行なうことになり、かかる各層毎の情報処理は制御用CPU14により総括して系統的に制御される。なお、各層間は、図示の光13により下層から上層に向けて順次に光結合され、所要の並列動作が行なわれるが、かかる光結合がなされない最上層と最下層との間には、必要に応じ、慣用の光ループ16を設けて同

様の光結合を行なわせることもできる。

また、以上の説明においては、各層毎に受光素子8の上に発光素子7を重ねて配置し、下層から上層へのみ光結合がなされるようにしたが、発光素子7と受光素子8との重畳の順序を上下反転させて、上層から下層へ光結合がなされるようにすることもできる。さらに、連続して複数層のメモリ用コンデンサ8に、上述したコピー動作を同時に行なわせて、同一メモリ内容を書き込むこともでき、その際、同一メモリ内容をメモリ用コンデンサ8にコピーして書き込む必要のない層については、アドレス線1に電圧を印加せず、その層の受光素子8および発光素子7により光13の中継のみを行なわせるようにすることもできる。

また、以上の説明においては、各構成要素の材料に特定の半導体材料名を挙げたが、本発明はこれらの材料によつて構成した場合に限られるものではなく、本発明の要旨を逸脱しない限り、任意の材料をもつて各構成要素を形成することができ

る。例えば、半導体層 1 は、シリコンとする他、GaAs 系をはじめとするⅢ-V 族化合物半導体およびその組合わせによる多層構造あるいはアモルファス半導体層とすることもでき、絶縁層 5、5a も SiO<sub>2</sub> とする他、集積回路に慣用の広汎な範囲の他の絶縁材料や不純物を添加しない半絶縁性半導体材料をもつて形成することもできる。一方、発光素子は、受光素子よりエネルギーギャップの大きい半導体材料を用いて形成する点を考慮しさえすれば、ヘテロ接合を含むⅢ-V 族およびⅡ-VI 族の化合物半導体の組合わせあるいはアモルファス半導体の組合わせによつて形成することもできる。なお、これらの材料による各構成要素の形成には、一般に周知慣用の気相成長法あるいは液相成長法を用いることもできる。

#### (効果)

以上の説明から明らかなように、本発明によれば、三次元メモリ集積装置における各層間を発光素子と受光素子との組合わせにより光学的に結合させるので、簡単な回路構成により、信号伝達に

時間遅延を生ずることなく、高速の並列演算処理を行なうことが可能となり、図形処理や音声認識等のパターン認識を主とする情報の並列演算処理が不可避の情報処理技術分野における実用上の効果は極めて顕著である。

#### 4 図面の簡単な説明

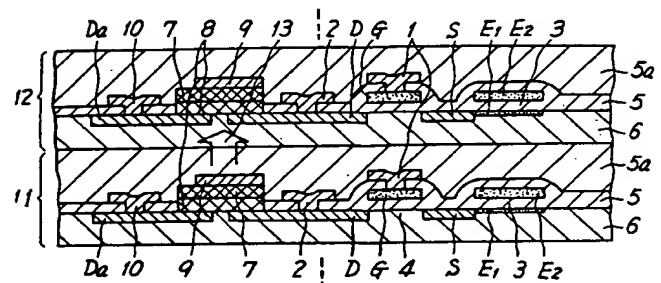
第 1 図(a)、(b)および(c)は本発明三次元光結合共有メモリ集積装置の構成例をそれぞれ示す側断面図、上面図および一部破断した斜視図、

第 2 図は 1 MOS ダイナミック型メモリセルの従来構成を示す側断面図、

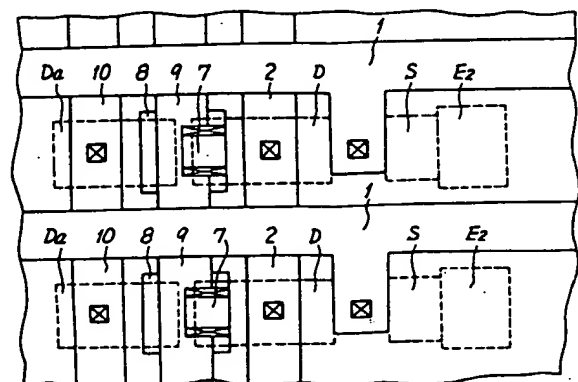
第 3 図は本発明三次元光結合共有メモリ集積装置における各層間の概略構成の例を模式的に示す斜視図である。

- |                             |              |
|-----------------------------|--------------|
| 1 … アドレス線                   | 2 … データ線     |
| 3 … メモリ用コンデンサ               | 4 … MOS スイッチ |
| 5、5a … SiO <sub>2</sub> 絶縁層 | 6 … シリコン半導体層 |
| 7 … 発光素子                    | 8 … 受光素子     |
| 9 … データ転送線                  | 10 … データコピー線 |
| 11 … 第 (i-1) 層              | 12 … 第 i 層   |

第 1 図(a)



第 1 図(b)



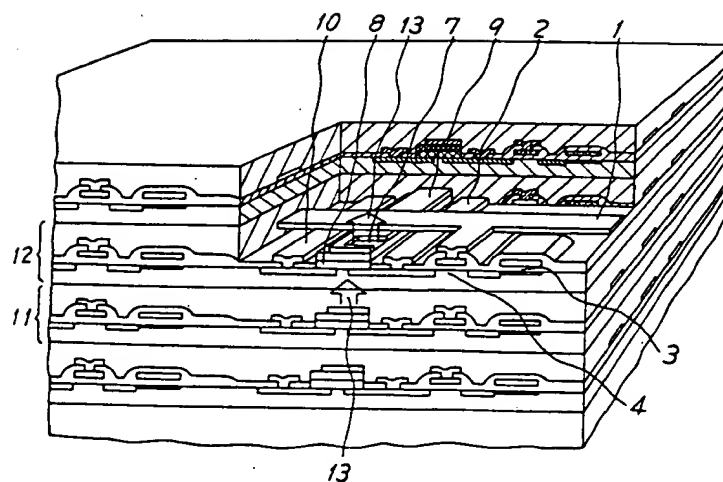
- |  |                       |
|--|-----------------------|
| 13 … 光                                 | 14 … 制御用 CPU          |
| 15 … CPU                               | 16 … 光ループ             |
| D … ドレイン領域                             | G … ゲート電極層            |
| S … ソース領域                              | D <sub>a</sub> … 導電領域 |
| E <sub>1</sub> , E <sub>2</sub> … 導電層。 |                       |

特許出願人 広島大学 長

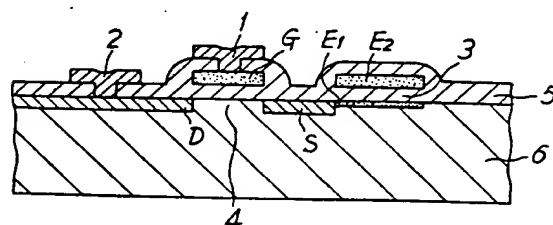
代理人弁理士 杉村 曉 秀

同 弁理士 杉村 興 作

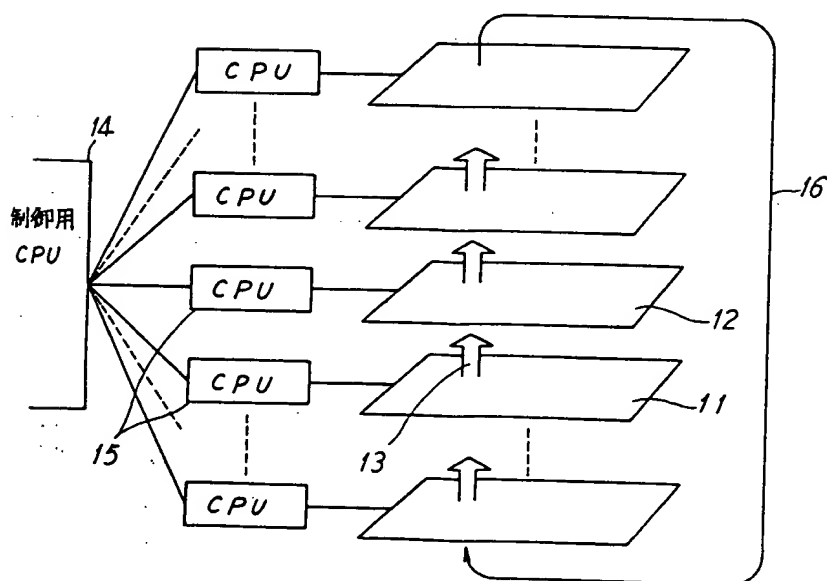
第 1 図(c)



第 2 図



第 3 図



第1頁の続き

⑤Int. Cl. 4

・ G 11 C 11/34  
H 01 L 31/12

識別記号

1 0 1

庁内整理番号

8522-5B  
6428-5F

⑦発 明 者 末 宗

幾 夫

東広島市西条町大字田口365 広島大学ががら第一職員宿  
舎1-104